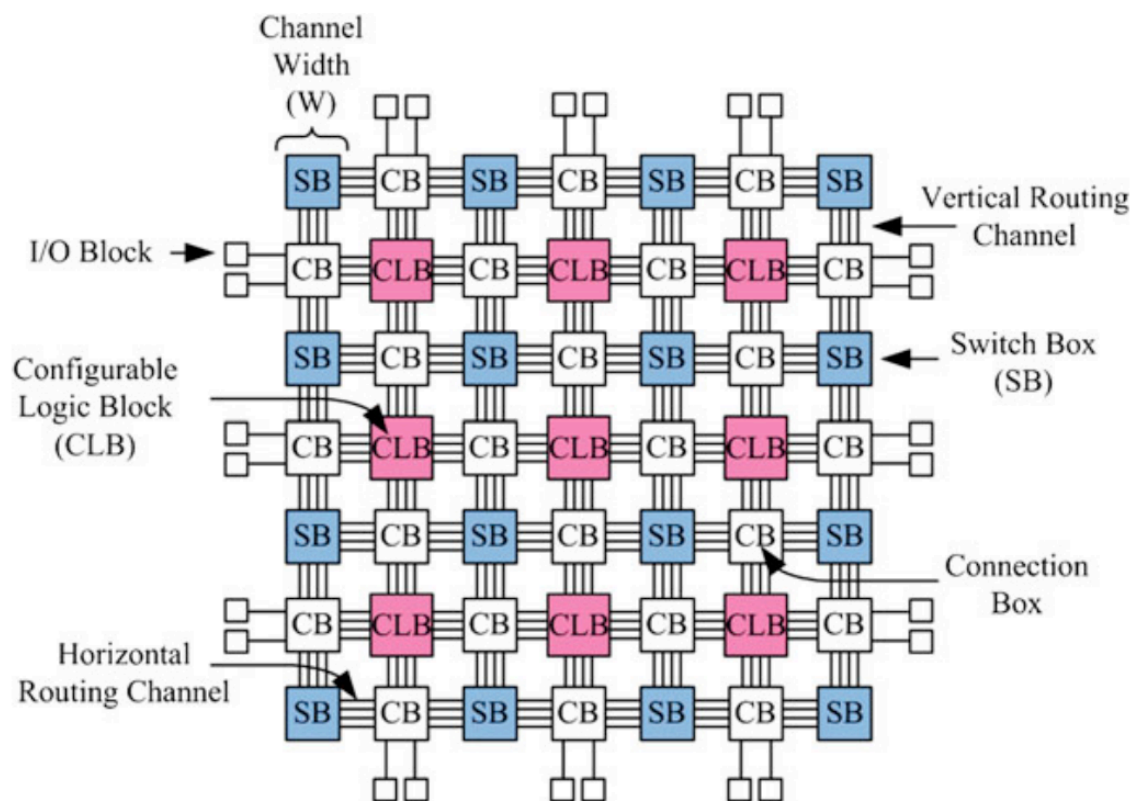


FPGA 简介

张佳辰
20-01-02

硬件 -- Overview



Configurable Logic Box (CLB)

Switch Box (SB)

Connection Box (CB)

I/O Block

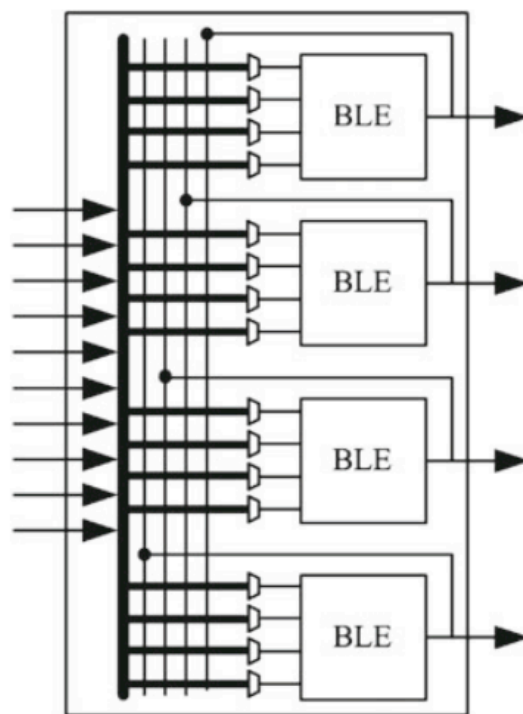
IP Core

硬件 -- Configurable Logic Box (CLB)

- CLB是FPGA的基本配置单元 (不是一个处理器，也不是一个逻辑门，灵活性和性能间的权衡)

硬件 -- Configurable Logic Box (CLB)

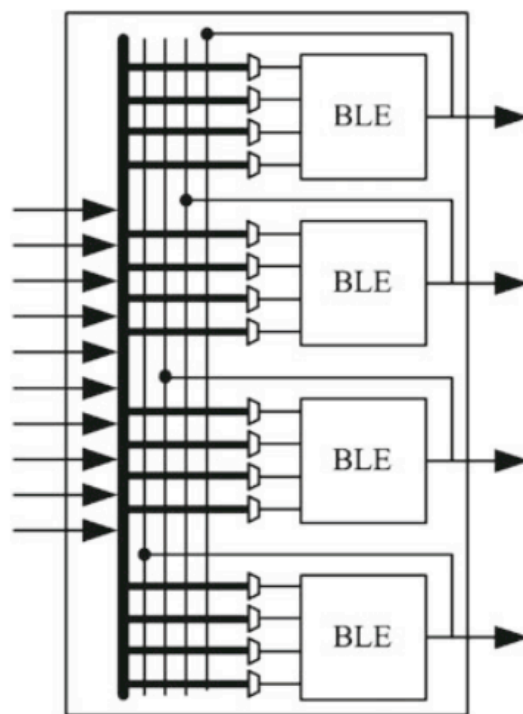
- CLB是FPGA的基本配置单元 (不是一个处理器，也不是一个逻辑门，[灵活性和性能间的权衡](#))
- 每个CLB由基本单元BLE (block logic element) 组成



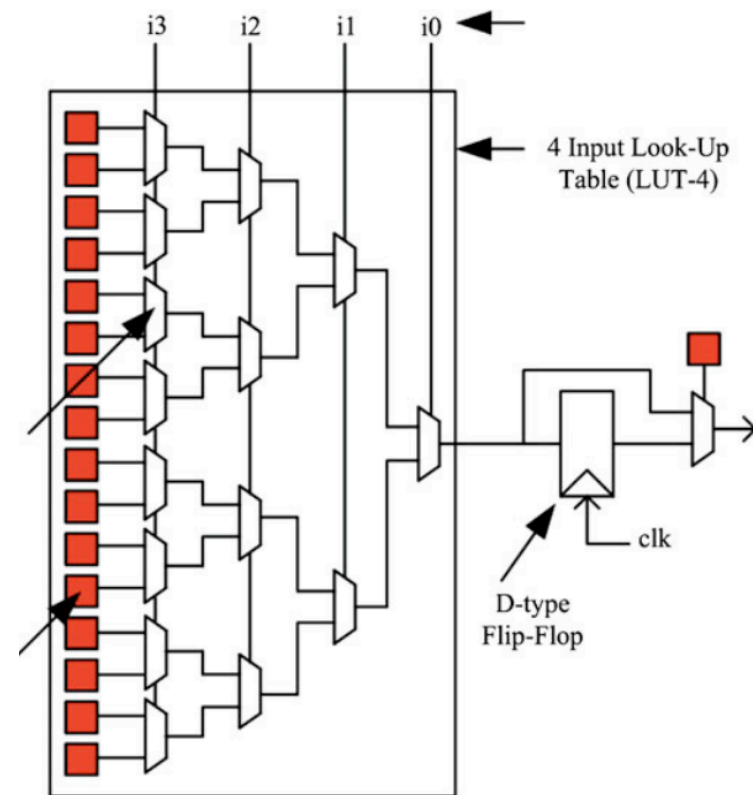
CLB由BLE组成

硬件 -- Configurable Logic Box (CLB)

- CLB是FPGA的基本配置单元 (不是一个处理器，也不是一个逻辑门，**灵活性和性能间的权衡**)
- 每个CLB由基本单元BLE (block logic element) 组成
- 每个BLE单元的基本组成很简单：
 - 一个k-LUT (k-input Look-Up Table)
 - 一个D型触发器 (flip-flop)



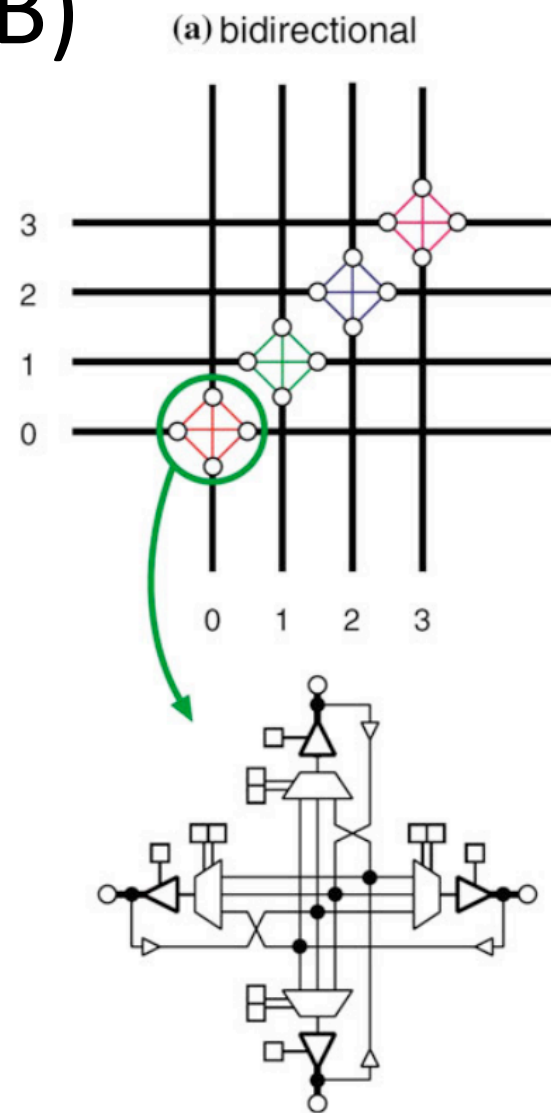
CLB由BLE组成



BLE由LUT和flip-flop组成

硬件 -- Switch Box (SB)

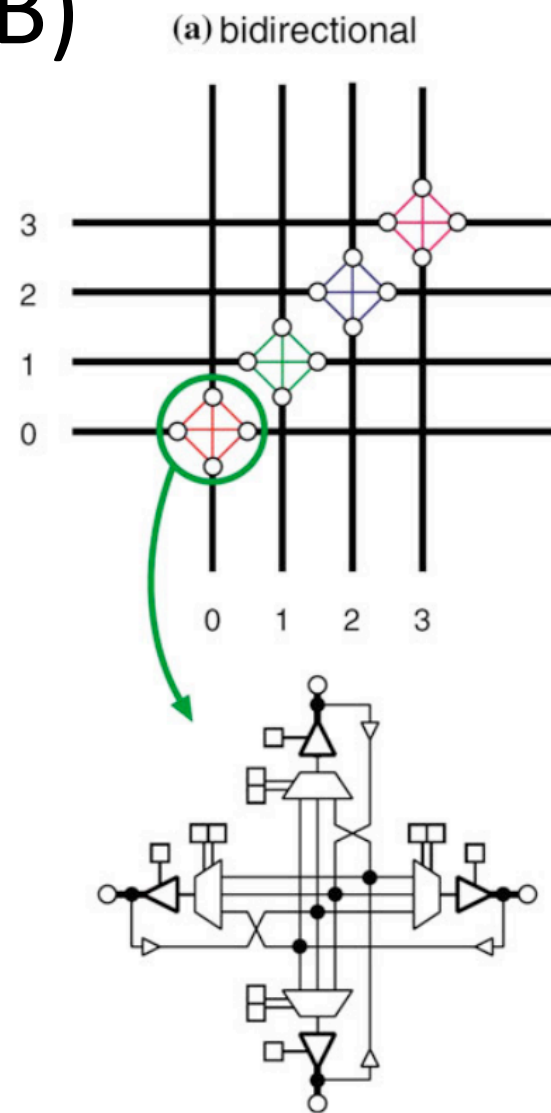
- SB负责CLB和IO blocks之间的路由



Bidirectional SB的实现原理

硬件 -- Switch Box (SB)

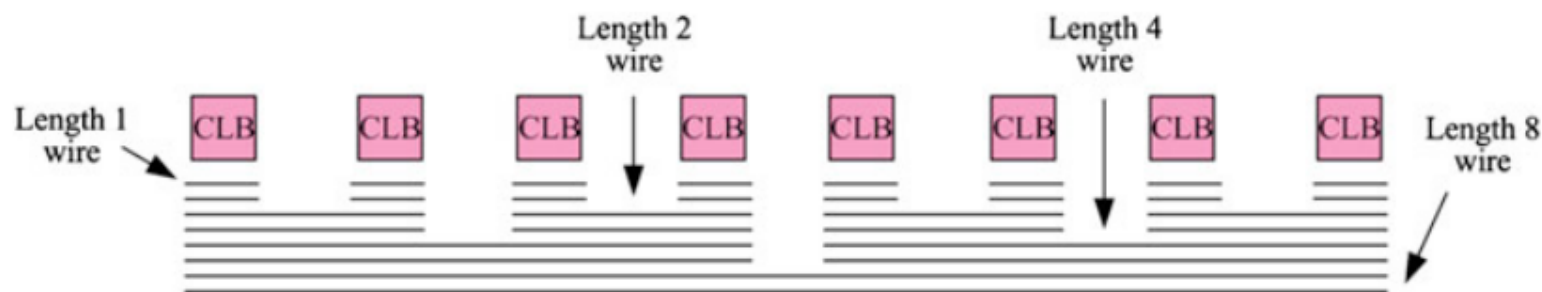
- SB负责CLB和IO blocks之间的路由
- 和CLB一样也是可配置的



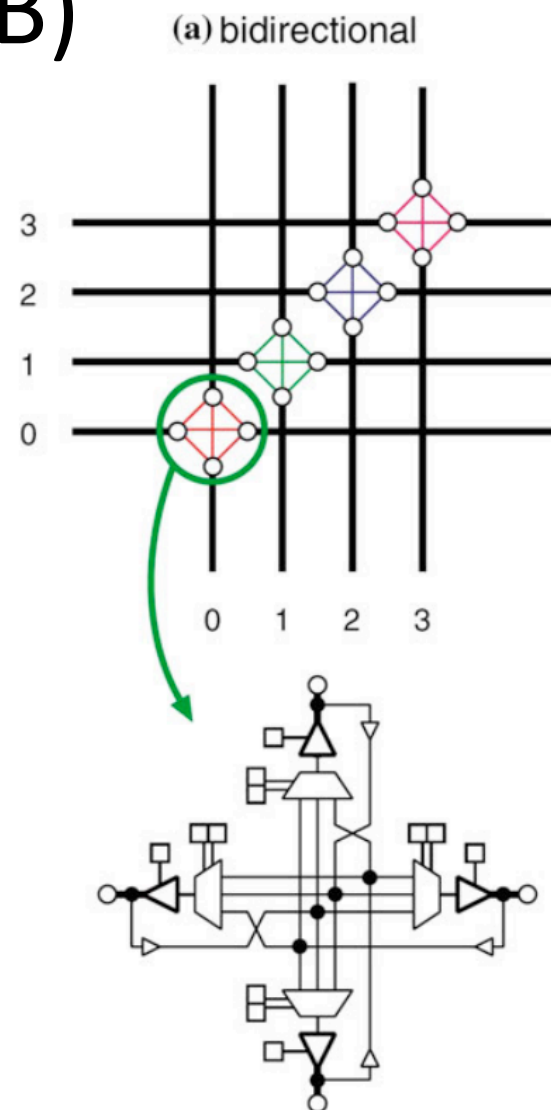
Bidirectional SB的实现原理

硬件 -- Switch Box (SB)

- SB负责CLB和IO blocks之间的路由
- 和CLB一样也是可配置的
- 除了相邻CLB间的短连线，FPGA还有额外的长连线资源 (灵活性和性能间的权衡)

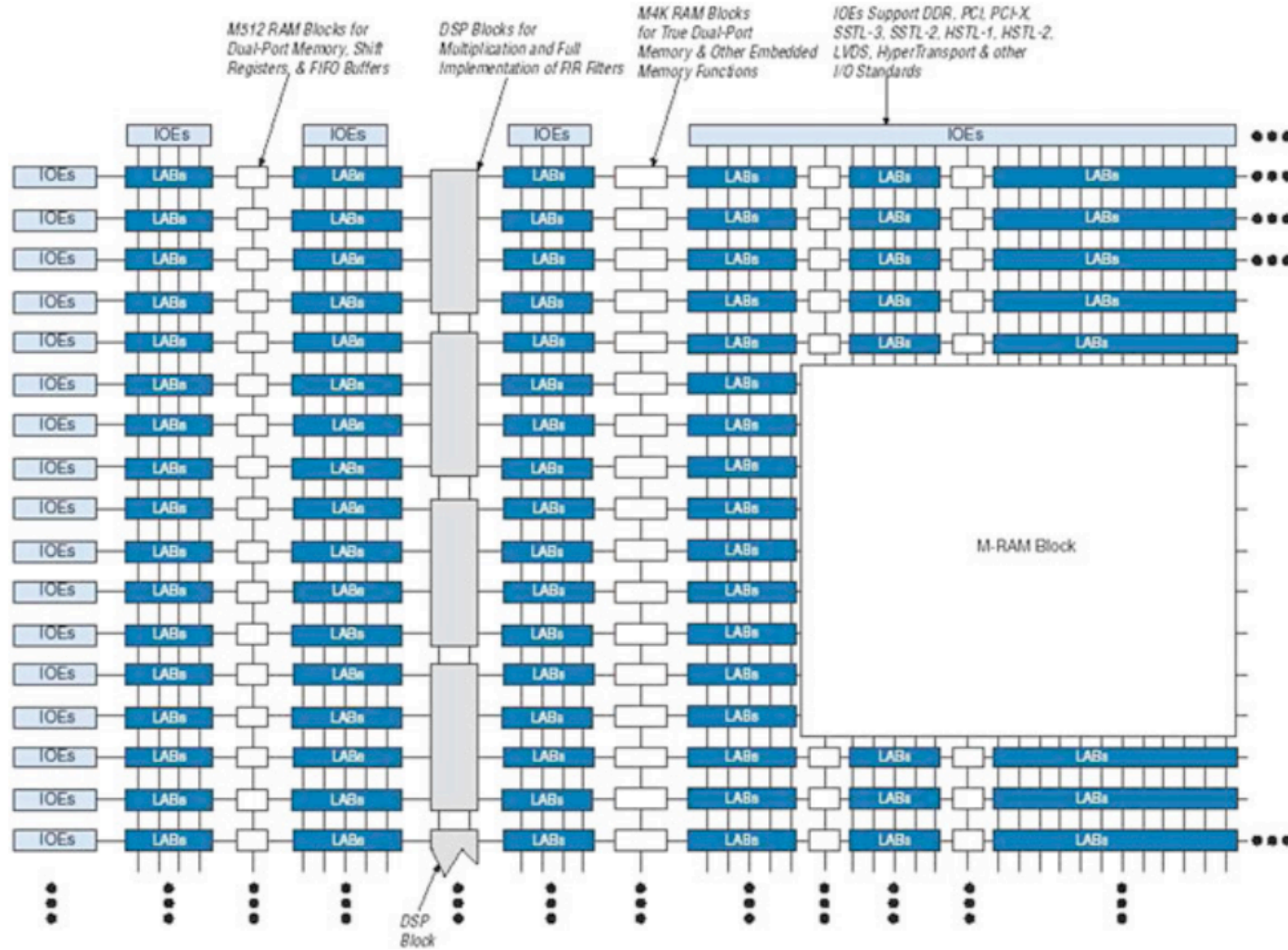


FPGA的长连线



Bidirectional SB的实现原理

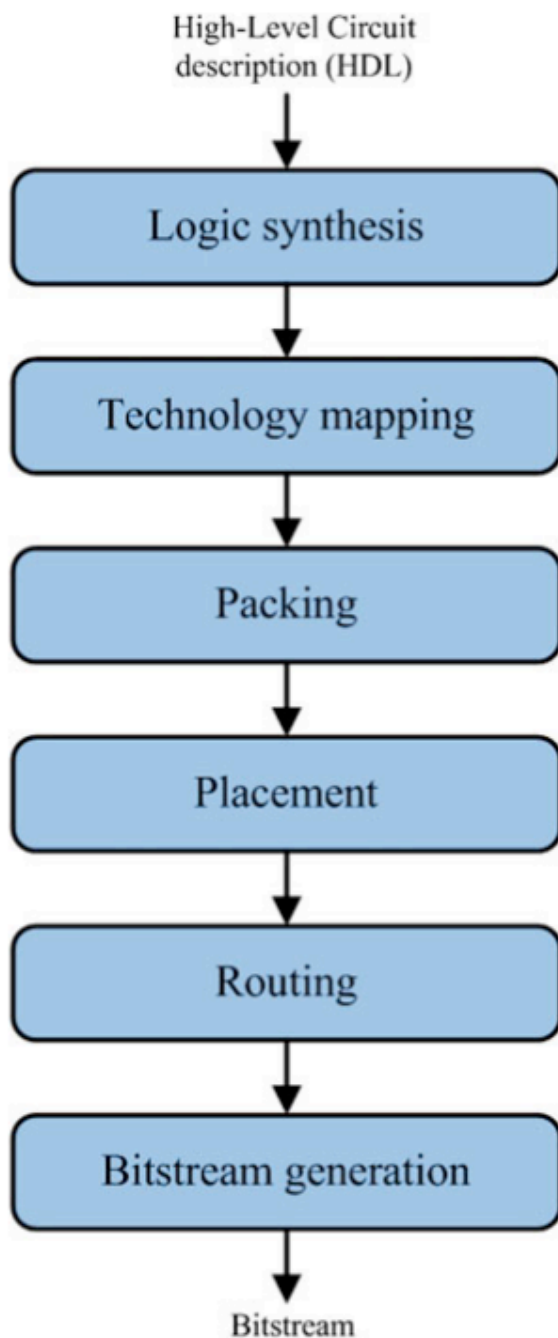
硬件 -- IP Core



- FPGA的IP核(core) 包括memory block, CPU, DSP等
- 一种灵活性和性能间的权衡
- 现代FPGA的可编程门阵列只占50%，其他大部分被硬IP核占据
- 软核即用VHDL等硬件描述语言描述的功能块，硬核即直接集成到FPGA的硬件模块

Fig. 2.9 Altera's stratix-II block diagram

软件开发流程



Logic Synthesis 逻辑综合 将VHDL/verilog等硬件描述编程语言转成布尔门、flip-flops。

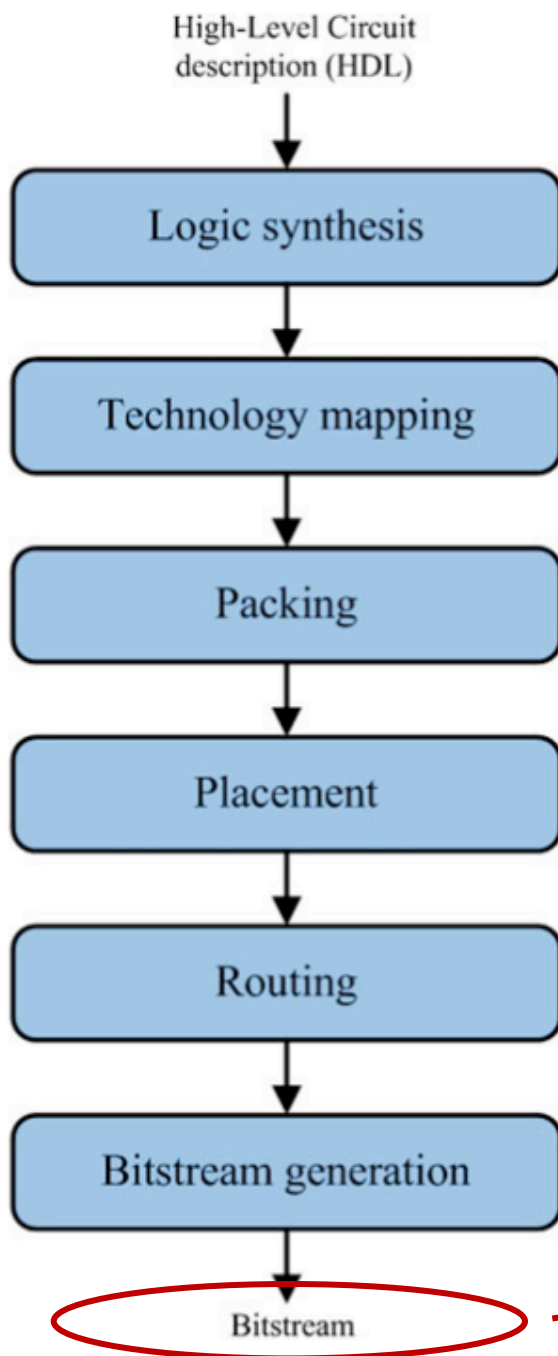
Technology Mapping 将上一步的逻辑门转成k-bound的LUT。

Clustering/Packing 将多个BLE(即k-bound LUT + flip-flop对) 组成logic block clusters。

Placement 主要决定logic block 的放到FPGA哪个位置。很多种优化策略，是以最小的wiring、以平衡wiring 的密度、还是以更快的电路速度为目标。

Routing 阶段将网络关联到物理的routing网络。

软件开发流程



Logic Synthesis 逻辑综合 将VHDL/verilog等硬件描述编程语言转成布尔门、flip-flops。

Technology Mapping 将上一步的逻辑门转成k-bound的LUT。

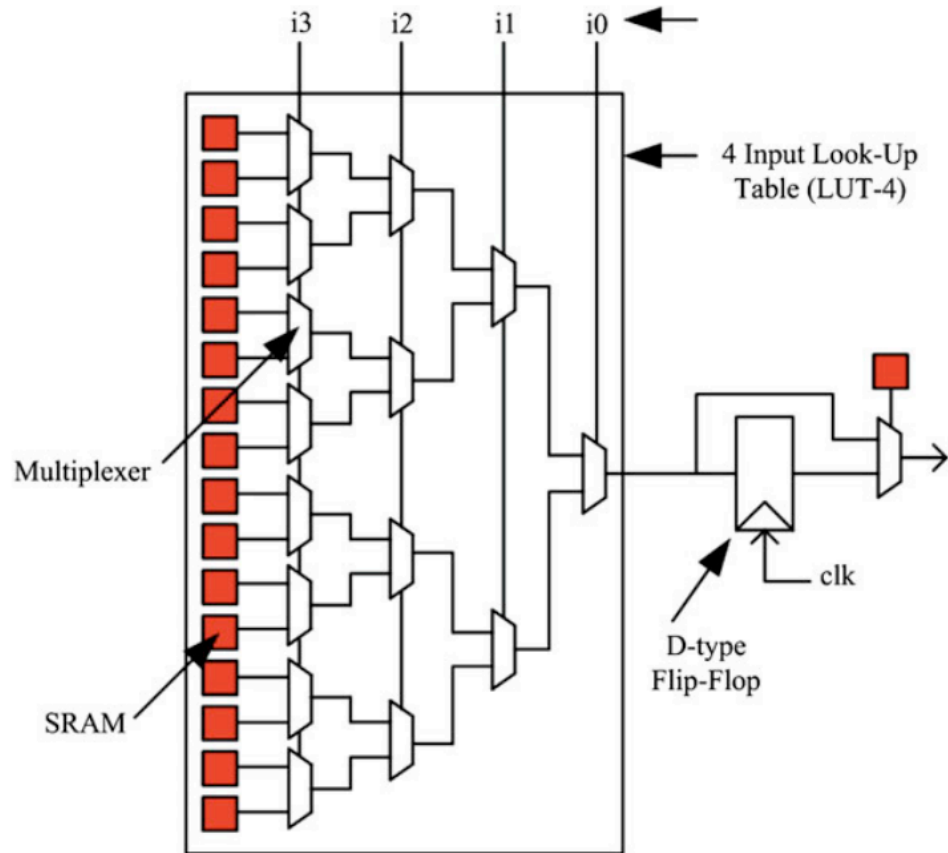
Clustering/Packing 将多个BLE(即k-bound LUT + flip-flop对) 组成logic block clusters。

Placement 主要决定logic block 的放到FPGA哪个位置。很多种优化策略，是以最小的wiring、以平衡wiring 的密度、还是以更快的电路速度为目标。

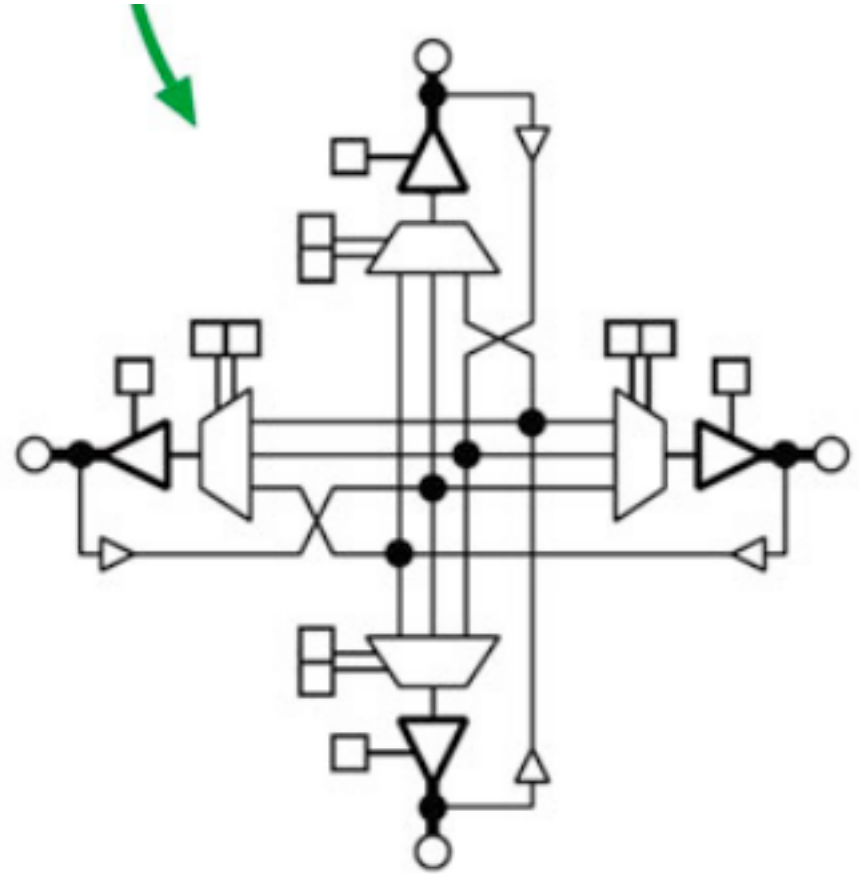
Routing 阶段将网络关联到物理的routing网络。

最终目的是将VHDL/Virilog代码转成可以“烧”入FPGA的Bitstream

Bitstream写到哪去了

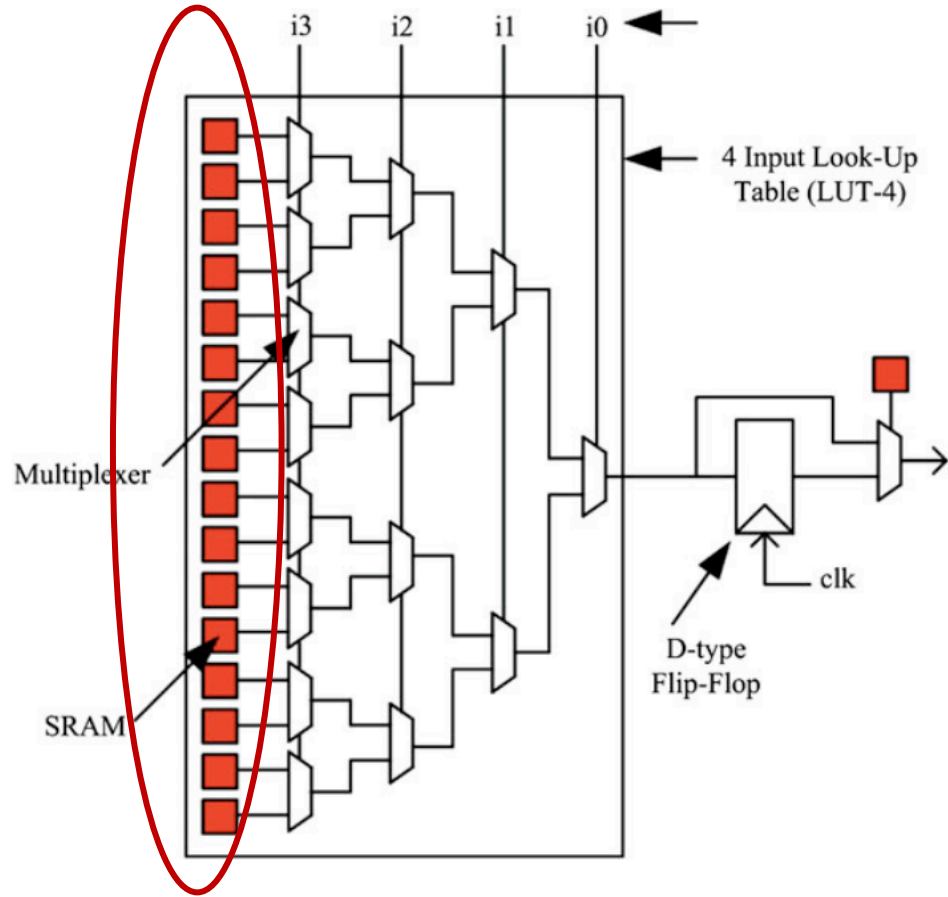


LUT (Look-up table)

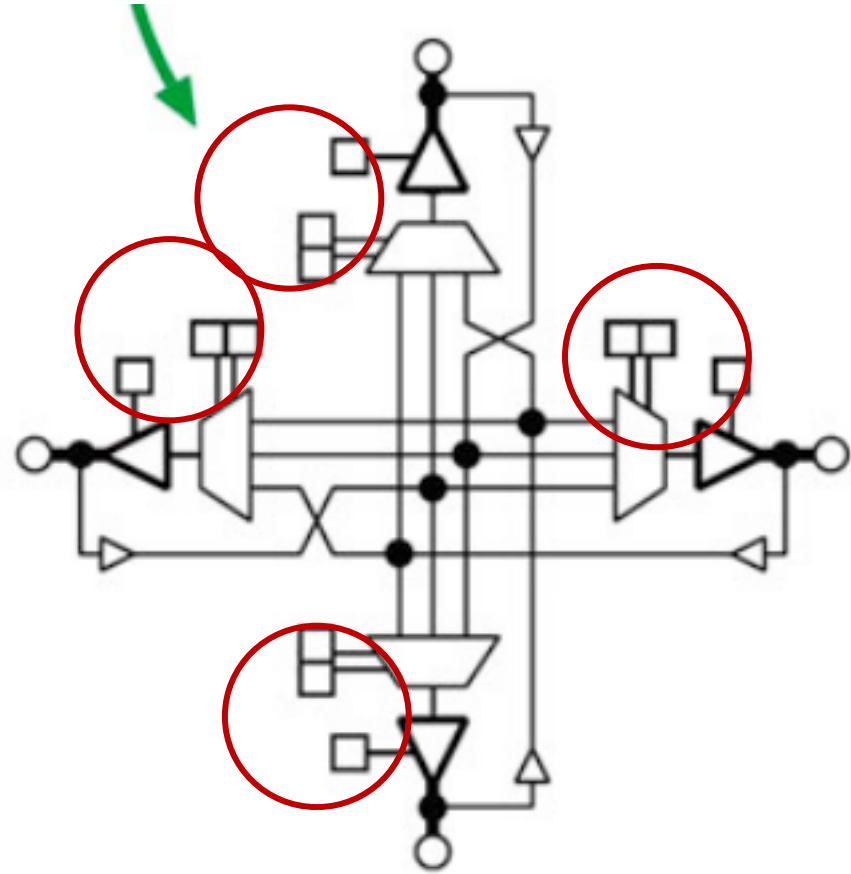


SB (Switch Box)

Bitstream写到哪去了



LUT (Look-up table)



SB (Switch Box)

FPGA的类型

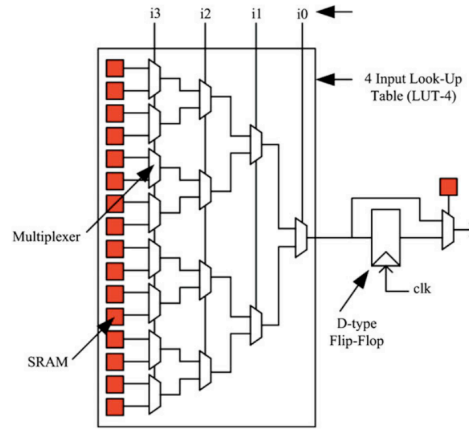
基本分为基于SRAM的、基于NAND Flash的和基于anti-fuse的。

	SRAM	NAND Flash	Anti-fuse
Bitstream易失性	易失	非易失	非易失
编程次数	无限	多次	1次

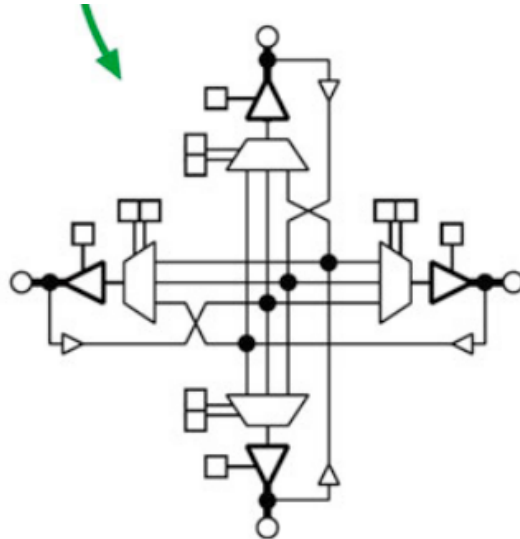
FPGA的类型 – SRAM型和Flash型区别

SRAM-based

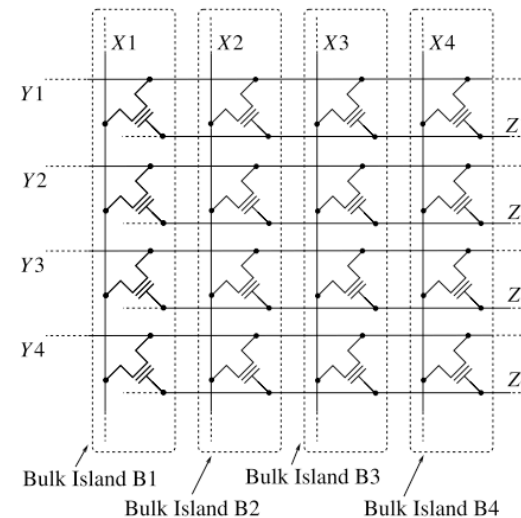
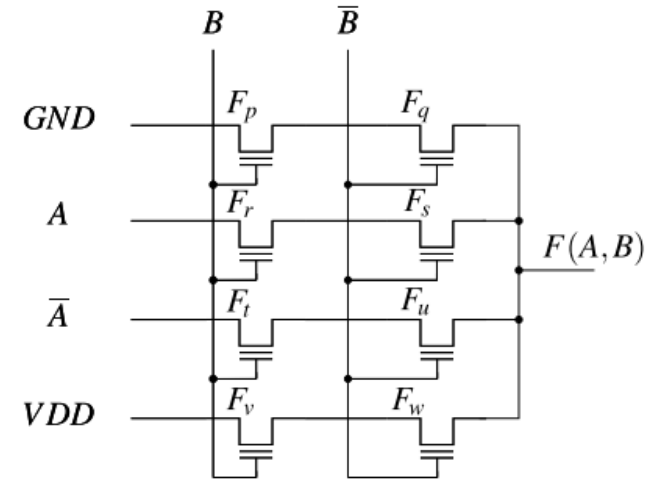
LUT (Look-up table)



SB (Switch Box)



NAND Flash-based



FPGA管理 -- 虚拟化和调度

VMM型 将FPGA当成一种类似GPU的加速计算的IO设备，像其他虚拟机一样以CPU为主体，对软件开发者更友好。

Shell型 以FPGA自身为主，给出与host通信、与其他IO设备通信、应用管理等的设计。比如一种典型的设计是在FPGA的可配置部分，将管理部分和应用部分分开，利用FPGA的partial reconfiguration特性主要重新配置FPGA的应用部分。但这也会带来很多开销，包括让长连线增加、多租户情况下导致更差的性能等！

调度问题 在FPGA上和CPU不太一样，因为上下文切换和部分重配置需要占的时间很长，所以抢占式调度当前不太现实。现在大多数方案基于非抢占调度，并且主要着眼时间的优化，最近也开始有工作研究空间的优化。

参考

硬件构成：

- [1] U. Farooq, Z. Marrakchi, and H. Mehrez, *Tree-based heterogeneous FPGA architectures: Application specific exploration and optimization*, vol. 9781461435. 2012.
- [2] M. Abusultan and S. P. Khatri, “Exploring static and dynamic flash-based FPGA design topologies,” *Proc. 34th IEEE Int. Conf. Comput. Des. ICCD 2016*, pp. 416–419, 2016.

虚拟化/管理：

- [3] A. Vaishnav, K. D. Pham, and D. Koch, “A survey on FPGA virtualization,” *Proc. - 2018 Int. Conf. Field-Programmable Log. Appl. FPL 2018*, pp. 131–138, 2018.
- [4] J. Zhang *et al.*, “The feniks FPGA operating system for cloud computing,” *Proc. 8th Asia-Pacific Work. Syst. APSys 2017*, 2017.

应用：

- [5] FPGAs For Dummies, https://plan.seek.intel.com/PSG_WW_NC_LPCD_FR_2018_FPGAforDummiesbook
- [6] S. R. Chalamalasetti et al., “An FPGA Memcached Appliance,” in *13th FPGA*, 2013.
- [7] S. Mittal, *A survey of FPGA-based accelerators for convolutional neural networks*, vol. 1, no. Mm. Springer London, 2018.